

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-171384

(43)Date of publication of application : 02.07.1996

(51)Int.Cl. G09G 5/36
H04N 1/41
H04N 7/30

(21)Application number : 06-313065

(71)Applicant : CANON INC

(22)Date of filing : 16.12.1994

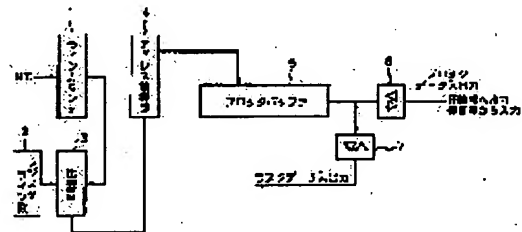
(72)Inventor : MITA YOSHINOBU

(54) METHOD AND DEVICE FOR CONVERTING SCANNING

(57)Abstract:

PURPOSE: To realize raster/block successive scanning conversion with a small circuit scale.

CONSTITUTION: The raster data and the block data are inputted/outputted to a block buffer 5 through input/output buffers 6, 7. An address operation part 4 obtains an address accessing the block buffer 5. The address reading out the block or the raster data, the address writing the raster or the block data in a free address after reading out and the read-out address of the next raster the block data by its write order are calculated using a prescribed operation rule. Thus, scanning conversion between the raster/block is performed using one address operation circuit 4 and one block buffer 5, and the circuit scale incorporating a peripheral circuit is reduced than a conventional one.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-171384

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl.

G 0 9 G 5/36
H 0 4 N 1/41
7/30

識別記号

5 3 0 G 9377-5H
B

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/133

Z

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平8-313065

(22) 出願日

平成6年(1994)12月16日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 三田 良信

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 弁理士 國分 孝悦

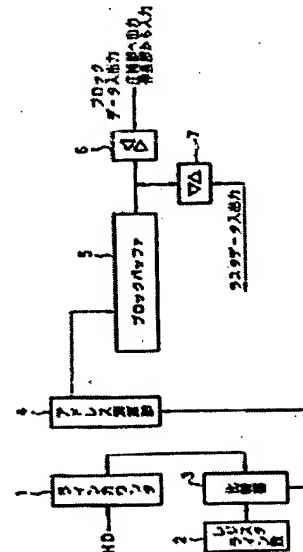
(54) 【発明の名称】 走査変換方法及びその装置

(57) 【要約】

【目的】 ラスタ/ブロック順次走査変換を小さい回路規模で実現すること。

【構成】 ブロックバッファ5に対してラスタデータ及びブロックデータが入出力バッファ6、7を介して入出力される。アドレス演算部4はブロックバッファ5をアクセスするアドレスを求める。ブロックまたはラスタデータを読み出すアドレスと、読み出し後の空き番地にラスタ又はブロックデータを書き込むアドレスと、その書き込み順による次のラスタ又はブロックデータの読み出しアドレスとを所定の演算法則を用いて算出する。

【効果】 1つのアドレス演算回路と1つのブロックバッファとを用いてラスタ/ブロック間の走査変換を行うことができ、周辺回路を含めた回路規模を従来より縮小することができる。



【特許請求の範囲】

【請求項 1】 画像データをラスタ順次走査からこの画像データを所定の縦幅と横幅を有するブロックに分割するためのブロック順次走査に変換し、また上記ブロック順次走査から上記ラスタ順次走査に変換する走査変換方法において、

縦幅を上記ブロックの縦幅とし横幅をラスタの水平幅とするサイズを有するブロックバッファを1個用い、上記ブロックバッファに対して上記ラスタ順次走査によるラスタデータを書き込んで上記ブロック順次走査によるブロックデータを読み出し、また上記ブロックデータを書き込んで上記ラスタデータを読み出すように成し、上記ラスタ順次走査から上記ブロック順次走査への変換時には、上記ブロックバッファを上記ブロック順次走査により読み出し、その読み出しにより生じた空き番地に上記ラスタデータを書き込み、その書き込み順番に基づいて次のブロック順次走査による読み出しアドレスを所定の演算により求め、

上記ブロック順次走査から上記ラスタ順次走査への変換時には、上記ブロックバッファを上記ラスタ順次走査により読み出し、その読み出しにより生じた空き番地に上記ブロックデータを書き込み、その書き込み順番に基づいて次のラスタ順次走査による読み出しアドレスを所定の演算により求めるようにした走査変換方法。

【請求項 2】 画像データをラスタ順次走査からこの画像データを所定の縦幅と横幅を有するブロックに分割するためのブロック順次走査に変換し、また上記ブロック順次走査から上記ラスタ順次走査に変換する走査変換方法において、

縦幅を上記ブロックの縦幅とし横幅をラスタの水平幅とするサイズを有するブロックバッファを1個用い、上記ブロックバッファに対して上記ラスタ順次走査によるラスタデータを書き込んで上記ブロック順次走査によるブロックデータを読み出し、また上記ブロックデータを書き込んで上記ラスタデータを読み出すように成し、上記ブロックバッファへのアクセスとして、上記書き込み動作を、上記ブロックの縦幅と上記ラスタの水平幅との積で与えられるアドレスだけ先行して行った後、上記読み出し動作を、上記書き込み動作に連続して行い、

最後の上記アドレス分のアクセスは読み出し動作のみ行うことを特徴とする走査変換方法。

【請求項 3】 画像データをラスタ順次走査からこの画像データを所定の縦幅と横幅を有するブロックに分割するためのブロック順次走査に変換し、また上記ブロック順次走査から上記ラスタ順次走査に変換する走査変換装置において、

縦幅を上記ブロックの縦幅とし横幅をラスタの水平幅とするサイズを有し、かつ上記ラスタ順次走査によるラスタデータが書き込まれると共に上記ブロック順次走査に

よるブロックデータが読み出され、また上記ブロックデータが書き込まれると共に上記ラスタデータが読み出されるように成された単一のブロックバッファと、上記ブロックバッファへアクセスするアドレスを演算するアドレス演算手段とを設けて成り、

上記アドレス演算手段は、上記ラスタ順次走査から上記ブロック順次走査への変換時には、上記ブロックバッファを上記ブロック順次走査により読み出すアドレスと、その読み出しにより生じた空き番地に上記ラスタデータを書き込むアドレスと、その書き込み順番に基づいて次のブロック順次走査による読み出しアドレスとを所定の演算により求めると共に、

上記ブロック順次走査から上記ラスタ順次走査への変換時には、上記ブロックバッファを上記ラスタ順次走査により読み出すアドレスと、その読み出しにより生じた空き番地に上記ブロックデータを書き込むアドレスと、その書き込み順番に基づいて次のラスタ順次走査による読み出しアドレスとを所定の演算により求めるようにしたことを特徴とする走査変換装置。

【請求項 4】 上記アドレス演算手段は、上記ブロックの縦幅と上記ラスタの水平幅との積で与えられるアドレス毎に上記ブロックバッファに対する発生アドレス増分を求めるためのステップ幅Sを求め、上記ブロックバッファに対するアドレスは上記ステップ幅Sに基づいて、1アクセスだけさらに演算して求めることを特徴とする請求項 3記載の走査変換装置。

【請求項 5】 上記アドレス演算手段は、新たなステップ幅SNを求める場合は、上記ラスタの水平幅をH、上記ブロックの横幅をpとする時、 $h = H/p$ なるhより、 $A = s \times h / a$ 、 $B = s \times h - a \times A$ を求め、 $SN = A + B$ を求める共に、上記ブロックバッファへの1アクセス毎の更新はp進のカウント値とpアクセス毎に $Adrs$ (アドレス) $= Adrs + \text{ステップ幅}$ (ただし $Adrs \equiv a$ の時 $Adrs = Adrs - a + 1$)なる計算式で値が更新される $Adrs$ との和により行うことを特徴とする請求項 4記載の走査変換装置。

【請求項 6】 上記アドレス演算手段は、上記ラスタ順次走査から上記ブロック順次走査への変換時には、上記ブロックの縦幅を決定する画素数vが2のべき乗であり、上記Aをシフト演算で求め、上記Bを下位ビットの取り出し処理で求めることを特徴とする請求項 5記載の走査変換装置。

【請求項 7】 上記アドレス演算手段は、上記画素数vと上記hの値を入れ換えることにより、上記ラスタ順次走査から上記ブロック順次走査への変換と、上記ブロック順次走査から上記ラスタ順次走査への変換とを行うことを特徴とする請求項 6記載の走査変換装置。

【請求項 8】 上記ブロックバッファに対して、上記ラスタデータの入出力を行う入出力バッファと、上記ブロックバッファに対して上記ブロックデータを入力出力する

入出力バッファとを設けたことを特徴とする請求項 3 記載の走査変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、テレビ、スキャナ、プリンタ等における画像圧縮伸長処理などの各種画像処理に際して行われるラスタ順次走査とブロック順次走査との間の走査変換を行うための走査変換方法及びその装置に関するものである。

【0002】

【従来の技術】 従来、画像データをブロック毎に画像処理するような J P E G 方式画像圧縮処理等を行う場合は、図 8 (A) に示すような通常の画像のラスタ走査順から、図 8 (B) に示すようなブロック順次の走査順に走査順を変換する必要があった。また画像伸長を行う場合は、逆にブロック順次からラスタ順次に走査順を変換する必要があった。このために図 8 (C) に示すように 2 つのブロックバッファを設けて、これらを切り換えるようにしていた。即ち、ラスタ順次からブロック順次への交換時には、一方のブロックバッファをラスタ順次にライトし、他方のブロックバッファをブロック順次にリードする。またブロック順次からラスタ順次への逆交換時には、一方をブロック順次にライトし、他方をラスタ順次にリードするようにしていた。

【0003】 図 9 は従来の走査変換装置を示すブロック図である。図 9 において、ラスタカウンタ 101 は通常のラスタ順次用アドレス（以下、ラスタアドレス）を発生し、ブロックカウンタ変換部 102 は上記ラスタアドレスをブロック順次用アドレス（以下、ブロックアドレス）に変換する。上記 2 つのアドレスはマルチプレクサ 103 で変換、逆変換に応じて切り換えられて 2 つのブロックバッファ 104、105 にそれぞれ供給される。そして入出力バッファ 106、107 を介して入出力データのやり取りが行われる。

【0004】 即ち、ラスタ順次からブロック順次への交換時には、入出力バッファ 106 はカメラ等の外部からラスタデータを入力し、これをブロックバッファ 104、105 を用いてブロック化し、入出力バッファ 107 からブロックデータとして画像圧縮部等へ出力される。逆交換時には、入出力バッファ 107 に伸長されたブロックデータを入力し、これをブロックバッファ 104、105 を用いてラスタ順次化し、入出力バッファ 106 からラスタデータとしてモニタ等へ出力する。

【0005】 図 10 はブロックカウンタ変換部 102 の構成を示す。尚、ここでは 1 つのブロックサイズが縦横 8×8 個の画素の場合を示す。図 10 において、上記ラスタカウンタ 101 からの通常の $A0 \sim An$ に 1 つずつ歩進するラスタアドレスを受け、その $A3 \sim A6$ のアドレス線を上位に入れ換え、中位を $A6 \sim Ar$ 、下位を $A0 \sim A2$ とするアドレスに変換し、出力バッファ 109

よりブロックアドレス $B0 \sim Bn$ して出力する。

【0006】 即ち、 $A0 \sim A6$ のアドレスを水平方向に 8 までカウントした後、次のラインに絞って再び 8 までカウントし、これを 8 本のラインについて行うことにより、1 つのブロックのブロックアドレスが得られ、これを 1 H にわたって続けることにより、1 つのブロックバッファ分のブロックアドレスが得られることになる。

【0007】 また、逆変換時のブロックアドレスは、 $A0 \sim An$ の上位を $A3 \sim An-3$ 、中位を $An-2 \sim Ar$ 、下位 $A0 \sim A2$ に変換することによるブロックアドレスを用いる。

【0008】 従って、下位 $A0 \sim A2$ （8 画素分）の 3 ビットのアドレスは常に交換される必要がない。尚、上述の場合、ブロックバッファ水平幅（1 H）のアドレスは 2 のべき乗であるという条件が必要である。

【0009】

【発明が解決しようとする課題】 しかしながら上述した従来例では、ブロックバッファ 104、105 が 2 組必要となり、画面の水平画素数に比例して回路規模が大きくなっていった。特にモニタ用の画像の画素数と比較して、解像度の高いスキャナやプリン等で扱う画像の画素数は桁違いに大きい水平画素数であるので、ブロックバッファの規模は非常に大きくなっていった。また、ブロックバッファをアクセスする際にラスタ順次、ブロック順次の 2 種類のアドレスを生成する回路が必要であり、さらに各ブロックバッファをラスタ順次、ブロック順次に切り換えるために、2 種類のアドレスを切り換えるためのマルチプレクサ等の回路及び、2 つのブロックバッファに交互にデータを供給したり、2 つのブロックバッファより交互にデータを取り出すための入出力バッファ 106、107 等の切り換え回路等々を合わせると回路規模は膨大なものになるという問題があった。

【0010】 本発明は上記のような問題を解決するためになされたもので、ブロックバッファを 1 個用いるだけで前述した走査変換を行うことのできる走査変換方法及びその装置を提供することを目的としている。

【0011】

【課題を解決するための手段】 本発明においては、ラスタ順次走査からブロック順次走査への交換に際しては、ブロックバッファよりブロック順次走査で読み出し、その読み出しにより生じた空き番地に上記ラスタデータを書き込み、その書き込み順番に基づいて次のブロック順次走査により読み出す時のアドレスを所定の演算により求めると共に、ブロック順次走査からラスタ順次走査への交換に際しては、ブロックバッファよりラスタ順次走査で読み出し、その読み出しにより生じた空き番地に、ブロックデータを書き込み、その書き込み順番に基づいてその画素を再びラスタ順次走査により読み出す時のアドレス演算を行うようにしている。

【0012】

【作用】ラスタ順次走査からブロック順次走査への変換のためのアドレス演算及びブロック順次走査からラスタ順次走査への変換のためのアドレス演算とを同一の回路で行うことができると共に、ブロックバッファを1個だけ用いればよいので、回路規模を小さくすることができる。

【0013】

【実施例】図1は本発明の実施例を示すブロック図である。図1において、ラインカウンタ1はラスタ順次の水平同期信号H0等から入力ライン数をカウントするカウンタである。ラインレジスタ2はブロックサイズの垂直方向の画素数、即ちライン数を格納する。比較器3はラインレジスタ3の値とラインカウンタ1の値とを比較することにより、ブロックバッファ容量分の処理の区切りを判断する。アドレス演算部4は比較器3の判断結果に応じてブロックバッファ5に与えるアドレスを演算して出力する。ブロックバッファ5のデータ入出力線にはバッファ6、7が接続されており、これらは同一のアドレスに対してのリード及びライトの際のバッファリングの方向及びブイネーブル状態が決められる。

【0014】図3はブロックバッファ5の構成を示すもので、水平幅Hは $h \times p$ 個の画素数（ここでは2のべき乗とする）であり、垂直幅は v の画素数（ライン数）である。このブロックバッファ5はSRAMを用いて構成されている。

【0015】ラスタ順次からブロック順次の変換時にはバッファ7はラスタデータを入力し、バッファ6はブロックバッファ5からのブロックデータを出力する。ブロック順次からラスタ順次への逆変換時は、バッファ6はブロックデータを入力してブロックバッファ5に与え、このブロックバッファ5の出力をバッファ7が受けてラスタデータを出力する。

【0016】図2は上記2つのケースの変換タイミングを示す。ブロックバッファ5に与えるアドレス $Addr_s$ に対して前半でリード操作を行い、リードされて空き番地となったその番地にライト操作を行うようにしている。これによりブロックバッファ5としては必要とするブロックの垂直画素幅 \times 水平ライン幅のバッファ容量で

済む。また、ブロックバッファ5では最初にブロック幅分のライトのみの動作を行ってからリードが行われる。

【0017】次に本発明の原理を説明する。ここでは、ブロックサイズを水平 $p \times$ 垂直 v とするが、水平方向 p 画素分は上記2つのケースの走査変換では変わらずに水平順にアクセスが行われる。従って、以下説明の一部では $p=1$ として扱っている。

【0018】まずラスタ順次からブロック順次への変換について説明する。ブロックサイズ $p \times v$ で $p=1$ 、 $v=8$ とすると、図4(A)に示すようにブロックバッファ5へのラスタデータの書き込み順序は $0 \sim 8h-1$ のようになり、これがそのままブロックバッファ5のアドレスに対応する。この場合水平方向の画素数は h である。このようにして1つのブロックの $8 \times h$ 個の書き込みを第1ステージとする。

【0019】次に第2ステージでは、図4(B)に示すように 1×8 のブロック毎に読み出すようにするために、 h 番地おきにリードすることにより、ブロックデータを得る。そして上記リードされたあとの空き番地に次のラスタデータをライトする。従って、このときの $Addr_s = Addr_s + step$ ($step = h$)となる。実際にはアドレスが最大番地 $v \times h$ を越すと隣接ブロックに移るため、最大番地を引いた後に $+1$ される。即ち $Addr_s = Addr_s + step + v \times h + 1$ ($v=8$ 、 $step=h$)となる。また、実際には上記第1ステージでも、 $step=1$ として上記と同様にアクセスアドレス $Addr_s$ が求められる。

【0020】このようにして、第2ステージで $8h$ ($v \times h$)のアクセスが終了すると、次のステージに移る。以降のステージでは、上記と同様に前ステージの h 番目のライト毎の番地の順にリードする。従って、リードは0番地にはじまり、 $step = step \times h$ 毎になる。つまり第3ステージでは $step = h \times h$ となる。

【0021】ただし、もし $step \geq 8h$ ならば、 $step = step - 8h + 1$ となり、これは $step < 8h$ となるまで繰り返される。この方法は繰返しが多いので、別の求め方を追求すると最終的な $step$ は以下の式で置き換えられる。

$$a = (step \times h) \div 8h \quad b = (step \times h) \% 8h \quad \dots \dots (1)$$

$step = a + b$ ただし、右辺の $step$ は前ステージの $step$ であり $\%$ は余りの計算を示す。以上のような規則性をまとめると以下のようになる。

アドレス演算部4におけるアドレス演算法則

ブロックサイズ $p \times v$ 、水平ライン長 $H = h \times p$ 、上位アドレス $Addr_s$ とすると、下位アドレスは p 進のカウンタ出力である。

【A】初期値 $step = 1$ $Addr_s = 0$...第1ステージ

$Addr_s = Addr_s + step$

ただし $Addr_s \geq h \times v$ ならば $Addr_s = Addr_s - h$

$\times v + 1$

【B】第2ステージ以降

$step = step \times h$ $step \geq h \times v$ ならば $step = a + b$

ただし $a = (step \times h) / (h \times v) = step / v$ (余り切り捨て)

$b = (step \times h) \% (h \times v) = h \times (step - vx)$

$Addr_s = Addr_s + step$

$Addr_s \geq h \times v$ ならば $Addr_s = Addr_s - h \times v + 1$

ただし、stepを求める演算は各々ステージの最初で1回のみ行う。また、Addr_sの更新はアドレスの下位であるpカウンタ毎に行われ、Addr_sと下位アドレスとが加算され、最終的なアドレスが生成される。

【0022】また、ブロック順次からラスタ順次への変換も原理的に上記と同一であり、前述の演算法則におけるhとvとを入れ換えることにより実現できるので、詳細は省略する。

【0023】図5は上記原理によるアドレス演算部4の構成例を示す。尚、ここではブロックの水平画素数は2のべき乗であるとする。図5において、画素データの入出力に同期してクロックCLKにより水平カウンタ12及び垂直カウンタ11がカウントアップする。この場合、垂直カウンタ11は水平カウンタ12の桁上り信号を受けたときのみに動作してカウントアップする。本実施例では水平方向は7ビットで128画素、ブロック垂直幅は3ビットで8画素である。1ブロックサイズを8×8とすると、生成されるアドレスの下位3ビットa0～a2は全く影響を受けない。従って水平カウンタ11の上位アドレスa3～a8と垂直カウンタ11の出力アドレスa7～a9とが交換されることになる。

【0024】各カウンタ出力のうちa3～a9は変換回路としてのシフタ13に入力されて表1に示すシフト動作が行われる。

【0025】

【表1】

①	②	③	④	…ステージ
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		垂直アドレス
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		上位水平アドレス
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		最下位アドレス (水平アドレス)
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		
a ₉ a ₈ a ₇ a ₆	a ₅ a ₄ a ₃ a ₂	a ₁ a ₀		
0→3→6→9(2)→12(5)				…シフト量(上位7bit以内)

【0026】シフタ13において、まず最初の垂直ブロック幅×水平画素(v×h×p)の間である第1ステージでは入力データa3～a9をb3～b9としてそのまま出力する。そしてブロックバッファ5はライト動作のみ行う。次に第2ステージではLSB方向に3ビットのシフトを行い、最上位3ビットb7～b9にa3～a5が対応し、b8～b6にa6～a9が対応する。これによりブロック順次によるリード及びラスタ順次によるライトが行われる。第3、第4ステージでも同様にシフタ13のシフト量を、6→9(2)→12(5)とステージ毎に3ずつ増やしていく。ただし、実際のシフト量はこの数値を7で割った余りなので、6→2→5…となる。

【0027】図6は前述の原理に基づいたアドレス演算

部4の他の実施例を示すブロック図である。アドレス演算部4は図6(A)のstep計算部と同図(B)のAddr_s計算部とから構成されている。まず第1ステップにおいては、step計算部のレジスタ30に設定されたstep=1なる初期値がマルチプレクサ29を通してラッチ23に設定され、Addr_s計算部に送られる。ラッチ23は図1の比較器3の出力であるvライン終了クロックによりv(ブロック垂直幅)ライン毎に入力値を更新する。また、vライン終了クロック発生部は図7に示すように水平カウンタ38、垂直カウンタ39によりH×v画素の終了毎に発生するようにしてよい。(C: H=h×pである)。pは1ブロックの水平幅、hは水平方向のブロック数である(図3参照)。

【0028】ラッチ23の出力S(=step)はstep計算部の演算器25及び除算器26にも与えられる。除算器26では、レジスタ22に設定されたブロック垂直幅vによりs/v=eの計算が行われ余りは捨てられる。一方、乗算器24では除算器26の出力eとレジスタ22のvとの乗算が行われ、その結果、v×eが演算器25に入力される。従って、演算器25ではs-v×eが演算されて、乗算器27でレジスタ21の値hと乗算され、h×(s-v×e)=bが得られる。加算器28ではeとbとが加算され、a+v×e=stepの計算がなされる。尚、b=s×h-h×v×e=h×(s-v×e)である。

【0029】第2ステージ以降は、マルチプレクサ29は加算器28の出力を選択するようになっていて、e+b=stepがラッチ23においてvライン分の終了毎にラッチされ更新される。

【0030】次にAddr_s演算部において、上述した各ステージの最初に発生するアドレスはラッチ36のデータをvライン終了毎にクリアすることにより得られる。ラッチ36の出力は、加算器32にも与えられ、ここでラッチ23の出力との加算Addr_s=Addr_s+stepが演算される。一方、レジスタ21、22の値h、vは乗算器31でh×vの計算が行われ、比較器34、演算器33には共に加算器32の出力であるAddr_sと乗算器31の出力であるh×vとが入力される。比較器34ではAddr_s≧h×vが判断される。また、演算器33ではAddr_s-h×v+1が演算される。従って、演算器33には+1の演算が付加されている。

【0031】そして加算器32の出力と演算器33の出力はセレクタ35に入力され、比較器34の判断により、Addr_s≧h×vの時に演算器33の出力であるAddr_s-h×v+1が、次のアドレスの上位部分として出力され、pカウンタ37がpカウンタを終えラッチ36にラッチされる。従ってラッチ36には、pカウンタ毎に新しい上位アドレスAddr_sがセットされ図示しない加算器でAddr_sとpカウンタ37の出力が加算されてブロックバッファ5のアドレスとなる。

【0032】また、 p が2のべき乗、即ち、4、8等の場合は、上記加算は不要で $Addr_s$ を上位ビットとし p カウンタ37の出力を下位ビットするアドレスでブロックバッファ5のアドレッシングが行われる。尚、 p カウンタ37は、各画素の転送クロックに同期してカウントアップが行われる。また、ブロック順次からラスタ順次への逆変換を行う場合においては、レジスタ21、22の h と v を v と h に入れ換えれば良いことは前述の原理の説明で述べた。

【0033】また、図6の回路構成において、ラスタ順次からブロック順次への変換時であって、かつ、ブロック垂直幅 $v=8$ の場合の回路構成は次のように変形することができる。まず第1に演算器26は、 S を3ビットLSB方向にシフトするシフタで代用できる。第2に乗算器24は、 a を3ビットMSB方向にシフトするシフタで代用できる。また第3に演算器25は、結果として入力 S のLSB3ビットを抽出するもので置き換えられる。この結果、乗算器24は事実上必要なくなる。以上のように図の回路構成は特定の条件下では簡易な回路に置き換えることができる。

【0034】

【発明の効果】以上に説明したように、本発明によれば、ラスタ順次走査からブロック順次走査及びブロック順次走査からラスタ順次走査への各変換に際し、ブロックバッファの読み出しにより空いた番地に書き込むように成すと共に、その際のアクセスアドレスを簡単な演算法則により演算するように構成したことにより、ラスタ順次走査からブロック順次走査への変換のためのアドレスと、ブロック順次走査からラスタ順次走査への変換のためのアドレスとを同一の演算回路で求めることができ

ると共に、ブロックバッファを唯1つ用達すればよいので、周辺回路を含めた回路規模を大幅に削減することができる効果がある。

【図面の簡単な説明】

【図1】 本発明の実施例を示すブロック図である。

【図2】 ブロックバッファのアクセス順を示すタイミングチャートである。

【図3】 ブロックバッファの構成例を示す構成図である。

【図4】 ブロックバッファのアクセス順を示す説明図である。

【図5】 アドレス演算部の構成例を示すブロック図である。

【図6】 アドレス演算部の他の構成例を示すブロック図である。

【図7】 v ラインカウンタ兼アクロック発生部の構成例を示すブロック図である。

【図8】 従来のラスタ/ブロック変換方法を示す説明図である。

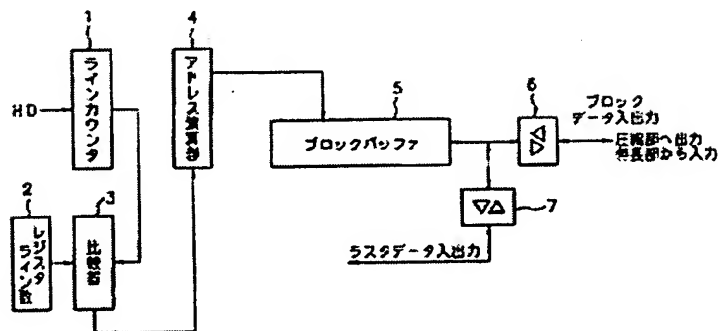
【図9】 従来の走査変換装置を示すブロック図である。

【図10】 従来のブロックカウント変換部を示すブロック図である。

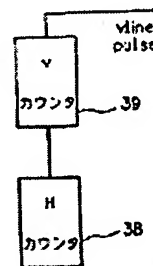
【符号の説明】

- 1 ラインカウンタ
- 2 ライン数レジスタ
- 3 比較器
- 4 アドレス演算部
- 5 ブロックバッファ
- 6、7 入出力バッファ

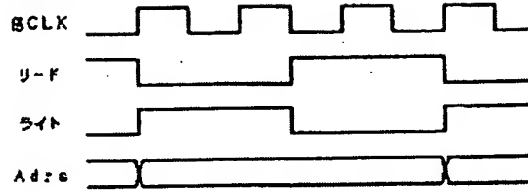
【図1】



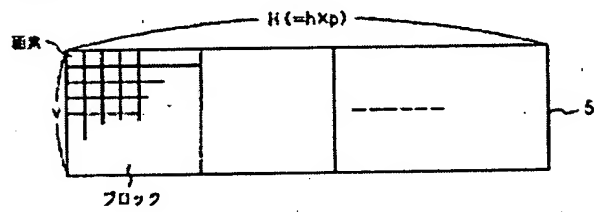
【図7】



【図2】

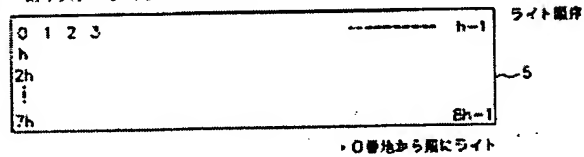


【図3】



【図4】

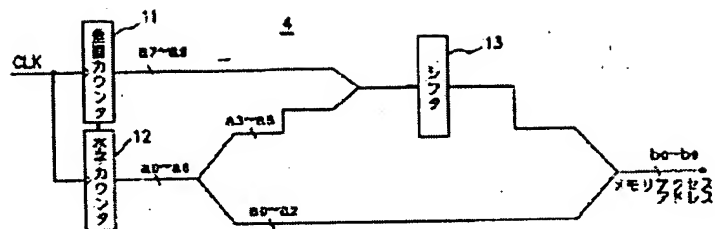
(A) 第1ステージ (ライトのみ)



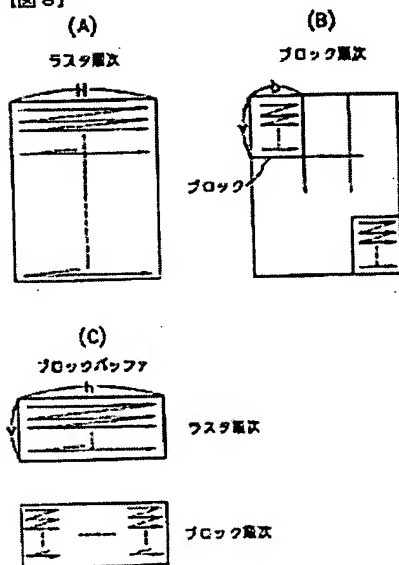
(B) 第2ステージ



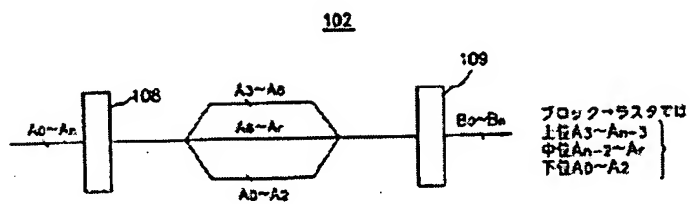
【図 5】



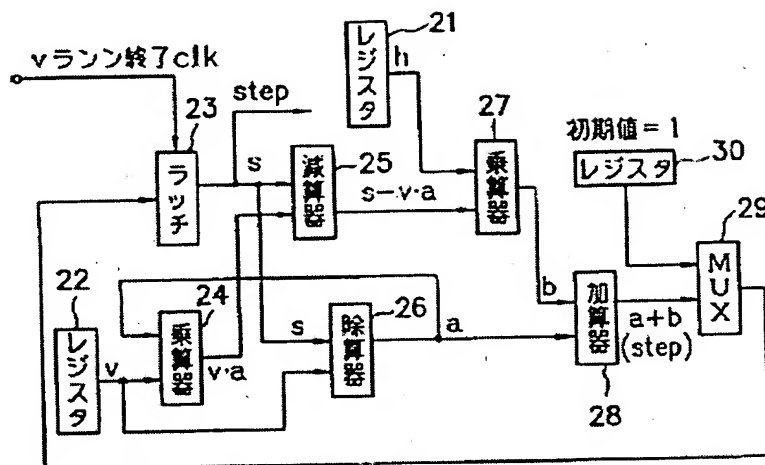
【図 8】



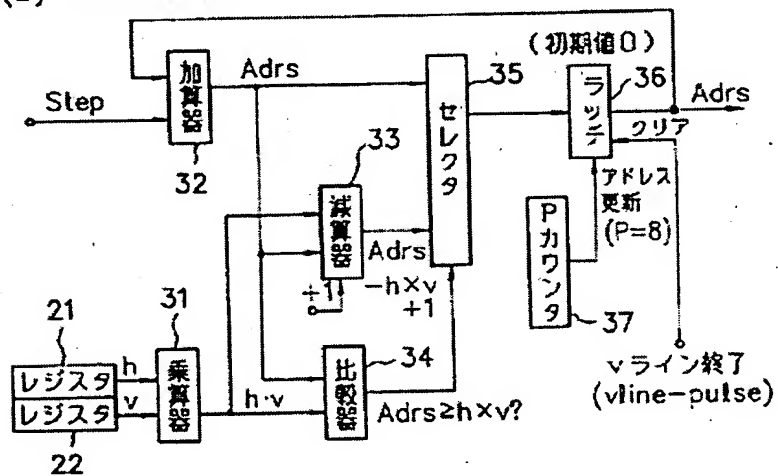
【図 10】



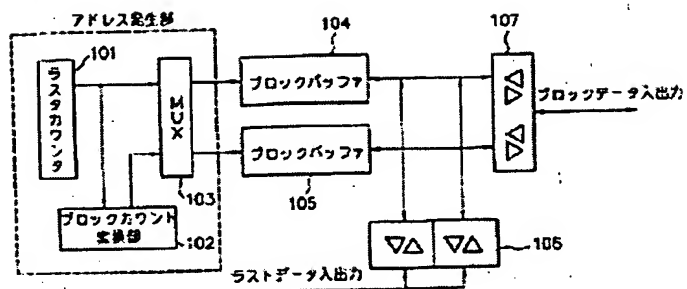
【図6】
(A) STEP計算部



(B) Adrs計算部



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.